

(3) Japanese Patent Application Laid-Open No. JP4-257024(1992)

“Square-Root Extraction Unit”

The following is an extract relevant to the present application.

5

The present invention is characterized in that first operational elements 1, 2, 5 and the like consisting of an adder 55, a multiplexer 56 and the like, and second operational elements 3, 4, 6 and the like consisting of an incrementer 50, an adder 52 and the like are connected in series and in plural stages according to a bit length of a number to be square-root extracted and a bit length of a square-root extraction number.

10

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-257024

(43) 公開日 平成4年(1992)9月11日

(51) Int.Cl.⁵

G 0 6 F 7/00
7/552

識別記号

庁内整理番号

B 2116-5B
8323-5B

F I

G 0 6 F 7/00

技術表示箇所

審査請求 未請求 請求項の数 1 (全 10 頁)

(21) 出願番号

特願平3-18727

(22) 出願日

平成3年(1991)2月12日

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 木虎 義詞

東京都大田区中馬込1丁目3番6号 株式
会社リコー内

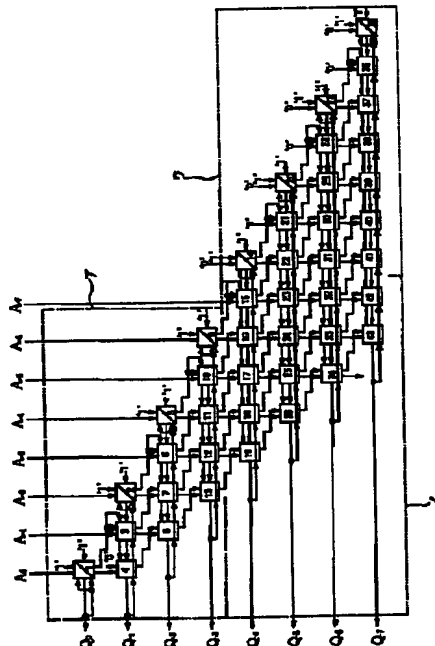
(74) 代理人 弁理士 青山 葆 (外1名)

(54) 【発明の名称】 開平器

(57) 【要約】

【目的】 計算時間が短く、回路構成が複雑とならない開平器を提供する。

【構成】 加算器55、マルチプレクサ56等から構成される第1の演算素子1、2、5等と、インクリメンタ50、加算器52等から構成される第2の演算素子3、4、6等と、を被開平数のビット長及び開平数のビット長に応じて直列及び複数段に接続したことを特徴とする。



1

【特許請求の範囲】

【請求項1】 被開平数を構成するビットデータあるいは0のデータ並びに反転入力データ及びキャリデータに基づいて加算演算を行い加算結果データ及びキャリデータを送出する加算器と、選択データに基づき上記加算結果データ又は上記被開平数を構成するビットデータあるいは0のデータのどちらかを第1の出力データとして送出する第1の選択回路と、上記選択データに基づき1あるいは0のデータのどちらかを選択し第2の出力データとして送出する第2の選択回路と、を備えた第1の演算素子と、インクリメント出力データにインクリメントキャリデータをインクリメントし上記インクリメント出力データ及び上記インクリメントキャリデータを送出するインクリメントと、該インクリメントの反転出力データと被開平数を構成するビットデータあるいは0のデータあるいは出力データ並びにキャリデータに基づいて加算演算を行い加算結果データ及びキャリデータを送出する加算器と、選択データに基づき上記加算結果データ又は被開平数を構成するビットデータあるいは0のデータあるいは出力データのどちらかを選択し上記出力データとして送出する選択回路と、を備えた第2の演算素子と、を被開平数のビット長及び開平数のビット長に応じて一あるいは複数個直列に接続してなる段を複数段に接続したことを特徴とする開平器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、開平器に関する。

【0002】

【従来の技術とその課題】 2進数の開平演算方式として、例えば特公昭59-2055号公報に開示された技術がある。即ち、被開平数の最上位ビットより下位ビット方向へ各ビット毎に演算を繰り返すことで、開平値の各ビット毎の値を求め被開平数の最下位ビットの演算が終了した時点で最終的に開平数値が求まる。したがって、被開平数が例えば8ビットから構成されていれば、開平値を求めるためには同様の計算を8回繰り返す必要があり、計算時間が大きくなるという問題点がある。又、上記公報に開示される開平器は、開平器の構成部分としてシフトレジスタ等を含んでいることより、それらの動作を制御するための制御回路が必要であり回路構成が複雑になるという問題点もある。本発明はこのような問題点を解決するためになされたもので、計算時間が短く、回路構成が複雑とならない開平器を提供することを目的とする。

【0003】

【課題を解決するための手段】本発明は、被開平数を構成するビットデータあるいは0のデータ並びに反転入力データ及びキャリデータに基づいて加算演算を行い加算結果データ及びキャリデータを送出する加算器と、選択データに基づき上記加算結果データ又は上記被開平数を構成するビットデータあるいは0のデータのどちらかを

2

第1の出力データとして送出する第1の選択回路と、上記選択データに基づき1あるいは0のデータのどちらかを選択し第2の出力データとして送出する第2の選択回路と、を備えた第1の演算素子と、インクリメント出力データにインクリメントキャリデータをインクリメントし上記インクリメント出力データ及び上記インクリメントキャリデータを送出するインクリメントと、該インクリメントの反転出力データと被開平数を構成するビットデータあるいは0のデータあるいは出力データ並びにキャリデータに基づいて加算演算を行い加算結果データ及びキャリデータを送出する加算器と、選択データに基づき上記加算結果データ又は被開平数を構成するビットデータあるいは0のデータあるいは出力データのどちらかを選択し上記出力データとして送出する選択回路と、を備えた第2の演算素子と、を被開平数のビット長及び開平数のビット長に応じて一あるいは複数個直列に接続してなる段を複数段に接続したことを特徴とする。

【0004】

【作用】このように構成することで、第1の演算素子及び第2の演算素子にて構成される各段から開平数を構成する各ビットデータが送出され、各ビットデータの算出演算毎にそれぞれ独自の演算時間を有する。又、第1及び第2の演算素子にはレジスタ、シフト等の動作制御を必要とする素子を含んでいないので、上記演算素子は開平器の回路構成が複雑化しないように作用している。

【0005】

【実施例】本発明の開平器の一実施例における構成を被開平数のビット数がA0ないしA7より構成される8ビットである場合を例に図1に示す。尚、図1には本実施例の開平器全体の構成を示し、枠Aにて囲まれる演算素子1ないし13について部分拡大したものを図2に示し、枠Bにて囲まれる演算素子15ないし19、23ないし26、32ないし34、42及び43について部分拡大したものを図3に示し、枠Cにて囲まれる演算素子14、20ないし22、27ないし31、35ないし41について部分拡大したものを図4に示す。尚、図2ないし図3において、各演算素子間の接続の対応関係を“あ”ないし“ね”にて示している。

【0006】演算素子3、4、6ないし8、10ないし

13、15ないし19、21ないし26、28ないし34、36ないし43のそれぞれは、図5に示すようにICI端子にインクリメントキャリ入力データICI、DCI端子にデータキャリ入力データDCI、DI端子には被開平数のビットデータに相当する入力データDI、II端子にインクリメント入力データII、SI端子に出力データ選択データSIのそれぞれが入力され、これらの入力データに基づき開平演算を行い、ICO端子よりインクリメントキャリ出力データICO、DCO端子よりデータキャリ出力データDCO、IO端子よりインクリメント出力データIO、DO端子より出力

3

データDOをそれぞれ出力する。尚、演算素子によって
はインクリメントキャリア出力データICO及び出力デ
ータDOを外部へ出力しないものもある。

【0007】 上述した演算素子3等の具体的な構成は、
図6に示すようにインクリメント50、インバータ5
1、フルアダー52、マルチプレクサ53から構成され
る。インクリメント50は、インクリメント入力データ
II及びインクリメントキャリア入力データICIが供
給され、インクリメント入力データIIのインクリメン
トを行ない、その結果におけるキャリアデータであるイ
ンクリメントキャリア出力データICOと結果データで
あるインクリメント出力データIOとを送出する。フル
アダー52は、インバータ51を介することで反転した
インクリメント出力データIOが供給され、入力データ
DI及びデータキャリア入力データDCIが供給され、
これら供給データの加算を行いデータキャリア出力デ
ータDCOと加算結果（いわゆるサム）を送出する。マル
チプレクサ53は、上記加算結果と上記入力データDI
とが供給され、これらのどちらかを供給される出力デ
ータ選択データSIにて選択し送出する回路であり、供給
される出力データ選択データSIが0であれば入力デー
タDIを出力し、出力データ選択データSIが1であ
れば上記加算結果を出力する。

【0008】 演算素子1、2、5、9、14、20、2
7、35のそれぞれは、図7に示すようにDCI端子に
データキャリア入力データDCI、DI端子には被開平
数に相当する入力データDI、DI'端子に入力データ
DI'、SI端子及びSI'端子に出力データ選択デー
タSI及びSI'のそれぞれが入力され、これらの入力
データに基づき開平方演算を行い、DCO端子よりデー
タキャリア出力データDCO、IO端子よりインクリメ
ント出力データIO、DO端子より出力データDOをそ
れぞれ出力する。

【0009】 上述した演算素子1等の具体的な構成は、
図8に示すように、インバータ54、フルアダー55、
マルチプレクサ56及びマルチプレクサ57から構成さ
れる。フルアダー55は、インバータ54を介すること
で反転した入力データDI'、入力データDI及びデー
タキャリア入力データDCIが供給され、これら供給デ
ータの加算を行いデータキャリア出力データDCOと加
算結果とを送出する。マルチプレクサ56は、上記加算
結果と上記入力データDIとが供給され、これらのど
ちらかを供給される出力データ選択入力データSIに
て選択し出力データDOとして送出する回路であり、供給
される出力データ選択データSIが0であれば入力デー
タDIを出力し、出力データ選択データSIが1であれば
上記加算結果を出力する。マルチプレクサ57は、供給
される“1”及び“0”のデータのいづれかを上記出力デ
ータ選択データSIと同一データである選択データSI'
にて選択しインクリメント出力データIOとして送

4

出する回路であり、選択データSI'が0であればイン
クリメント出力データとして0を送出し、選択データS
I'が1であればインクリメント出力データとして1を
送出する。尚、演算素子1等において、入力データD
I'は1に固定され、データキャリア入力データDCI
も1に固定されている。

【0010】 図1ないし図4を参照し本実施例の構成を
説明する。被開平方数が8ビットであり開平方数も8ビット
にて出力する場合、開平方数のビットデータであるQ0な
いしQ7は、ビットデータQ0が演算素子1より送出さ
れ、ビットデータQ1ないしQ7が演算素子群より送出
される。即ち、図1に示すように、1段目に配列される
演算素子1よりビットデータQ0が送出され、2段目に
配列される演算素子2ないし4にてビットデータQ1が
送出され、3段目に配列される演算素子5ないし8にて
ビットデータQ2が送出され、以下図示の如く各段に演
算素子が配列され開平方数のビットデータQ3ないしQ7
を送出する。このように複数段に演算素子を配列し本実
施例の開平方器を構成している。さらに詳しく開平方器の構
成を以下に説明する。

【0011】 図2に示すように、1段目に配置される演
算素子1のDCI端子1aには上記データキャリア入力
データDCIとして1が供給され、DI端子1dには上
記入力データDIとして被開平方数Aの最下位ビットデー
タA0が供給され、DI'端子1cには上記入力データ
DI'として1が供給される。上記データキャリア出力
データDCOが送出されるDCO端子1bは、開平方数の
最下位ビットデータQ0の出力端子に接続されるととも
に、SI端子1g及びSI'端子1hに接続され、デー
タキャリア出力データDCOは出力データ選択データS
I、SI'として演算素子1に供給されことになる。
又、上記出力データDOを送出するDO端子1eは、開
平方値のビットデータQ1を送出する2段目に配列される
演算素子4のDI端子4dに接続され、上記インクリメ
ント出力データIOを送出するIO端子1fは、上記2
段目に配列される演算素子3のII端子3c及びICI
端子3iに接続される。

【0012】 2段目について、演算素子2には上述した
演算素子1と同様に、DCI端子2aには1が供給さ
れ、DI端子2dには被開平方数AのビットデータA2が
供給され、DI'端子2cには1が供給される。DCO
端子2bは、演算素子3のDCI端子3aに接続され、
DO端子2eは、開平方値のビットデータQ2を送出する
3段目に配列される演算素子7のDI端子7dに接続さ
れ、IO端子2fは、上記3段目に配列される演算素子
6のII端子6c及びICI端子6iに接続される。

【0013】 演算素子3において、DI端子3dには被
開平方数AのビットデータA1が供給され、ICO端子3
hは演算素子4のICI端子4iに接続され、DCO端
子3bは演算素子4のDCI端子4aに接続され、DO

5

端子3eは3段目に配列される演算素子8のDI端子8dに接続され、IO端子3fは演算素子7のII端子7cに接続される。

【0014】演算素子4において、II端子4cには0が供給され、DCO端子4bは開平数のビットデータQ1の出力端子に接続されるとともに、2段目に配列される各演算素子2, 3, 4のSI端子2g, 3g, 4g及び演算素子2のSI'端子2hに接続され、演算素子4より送出されるデータキャリー出力データDCOは出力データ選択データSI, SI'として演算素子2, 3, 4に供給されことになる。IO端子4fは演算素子8のII端子8cに接続される。尚、演算素子4ではICO端子及びDO端子はいずれにも接続されない。

【0015】3段目について、演算素子5には上述した演算素子1, 2と同様に、DCI端子5aには1が供給され、DI端子5dには被開平数AのビットデータA4が供給され、DI'端子5cには1が供給される。DCO端子5bは、演算素子6のDCI端子6aに接続され、DO端子5eは、開平値のビットデータQ3を送出する4段目に配列される演算素子11のDI端子11dに接続され、IO端子5fは、上記4段目に配列される演算素子10のII端子10c及びICI端子10iに接続される。

【0016】演算素子6において、DI端子6dには被開平数AのビットデータA3が供給され、ICO端子6hは演算素子7のICI端子7iに接続され、DCO端子6bは演算素子7のDCI端子7aに接続され、DO端子6eは4段目に配列される演算素子12のDI端子12dに接続され、IO端子6fは演算素子11のII端子11cに接続される。

【0017】演算素子7において、ICO端子7hは演算素子8のICI端子8iに接続され、DCO端子7b

6

は演算素子8のDCI端子8aに接続され、DO端子7eは4段目に配列される演算素子13のDI端子13dに接続され、IO端子7fは演算素子12のII端子12cに接続される。

【0018】演算素子8において、DCO端子8bは開平数のビットデータQ2の出力端子に接続されるとともに、3段目に配列される各演算素子5ないし8のSI端子5gないし8g及び演算素子5のSI'端子5hに接続され、演算素子8より送出されるデータキャリー出力データDCOは出力データ選択データSI, SI'として演算素子5ないし8に供給されことになる。IO端子8fは演算素子13のII端子13cに接続される。尚、演算素子8ではICO端子及びDO端子はいずれにも接続されない。

【0019】以下同様にして4段目から8段目を構成する各演算素子が接続される。尚、5段目から8段目までにおいて、5段目に配列される演算素子15のDI端子にはビットデータA7が供給されるがそれ以外の演算素子14, 20, 21, 27, 28, 35, 36のDI端子には、0が供給される。

【0020】以上にて本開平器が構成される。このように構成される開平器の動作を以下に説明する。尚、本実施例の開平器の開平動作は減算シフト法の一種であり、被開平数の平方根値を上位桁より順に求めて行くものである。例えば被開平数Aが(A0, A1, A2, A3, A4, A5, A6, A7)の8ビットからなる1. 1010101である場合を例に、図1ないし図8及び図9ないし図29を参照し「表1」に従い説明する。尚、各図において同じ符号、記号については同じものを用いている。

30 【0021】

【表1】

段数	インクリメンター	フルアダー	マルチプレクサ	平方根
加算		1-A0 -> 1 10	マルチプレクサ 56 0 マルチプレクサ 57 1	1
2段目	01 +2 1 10	A1 010-A2 -> 101 00101	マルチプレクサ 56 10 マルチプレクサ 57 0	0
3段目	100 +2 0 100	A3 1010-A4 -> 1001 010001	マルチプレクサ 56 001 マルチプレクサ 57 1	1
4段目	1001 +2 1 1010	A5 00110-A6 -> 10101 0010001	マルチプレクサ 56 0110 マルチプレクサ 57 0	0
5段目	10100 +2 0 10100	A7 011010 -> 101001 00110001	マルチプレクサ 56 11010 マルチプレクサ 57 0	0
6段目	101000 +2 0 101000	1101000 -> 1010001 000010111	マルチプレクサ 56 010111 マルチプレクサ 57 1	1
7段目	1010001 +2 1 1010010	01011100 -> 10100101 001010111	マルチプレクサ 56 1011100 マルチプレクサ 57 0	0
8段目	10100100 +2 0 10100100	101110000 -> 101001001 0000100111		1

7

【0022】1段目の演算素子1において、図9に示すようにフルアダー55にはD I端子1 dを介して被開平数の最上位ビットのデータA 0である1が供給され、一方、D C I端子1 aには1のデータが供給されD I'端子1 cに供給される1のデータがインバータ54を介して供給されることより、フルアダー55は結果的に図10に示すように1ビット減算器として動作しD I端子入力データからD I'端子入力データの減算演算を行う。この減算結果であるsum(1)の値は、表1内の初段に示すように0(2進数である。以下特記しない限り2進数を示す。)となり、sum(1)のデータは図8及び図11に示すようにマルチプレクサ56へ送出する。

【0023】尚、フルアダー55は、入力データについて減算演算が実行できた場合には1のデータを、実行不可の場合には0のデータをD C O端子1 bから送出し、今、D C O端子1 bからはデータキャリー出力データとして1のデータが送出される。又、上記データキャリー出力データD C Oは開平数の最上位ビットデータQ 0となり、表1に示す“平方根”の欄の初段に示すようにその値は1となる。さらに、データキャリー出力データD C Oは、出力データ選択データS I及びS I'となり、マルチプレクサ56及びマルチプレクサ57にそれぞれ供給される。尚、初段には演算素子1のみが配列されているのでD C O端子より送出される減算演算の可否を示すデータは演算素子1より送出されたが、2段目以降では同一段に複数の演算素子が配列されるので、上記減算演算可否を示すデータは開平数のビットデータを送出する、各段の最尾の演算素子より送出されたデータにて減算演算可否を判断する。又、表1の各段のフルアダーの欄において、点線で囲んだデータが上記減算演算可否を示すデータを示している。

【0024】マルチプレクサ56には、図11に示すようにフルアダー55が送出するsum(1)のデータである0のデータとD I端子1 dへの供給データである1のデータとが供給され、図12に示すように1ビットマルチプレクサとして動作し、マルチプレクサ56は選択データS Iが1であるから上記減算結果である0のデータをD O端子1 eを介して2段目に配列される演算素子4のD I端子4 dに送出する。

【0025】一方マルチプレクサ57は、図13に示すようにS I'入力端子1 hに入力される選択データS I'が1であることより供給データの内、1のデータを選択しこれをI O端子1 fを介して2段目に配列される演算素子3のI I端子3 cとI C I端子3 iに送出する。

【0026】2段目には、演算素子2ないし4が配列されるが最初に演算素子3及び4に設けられるインクリメンタ50の動作について説明する。図14に示すように演算素子3のインクリメンタ50-3にはI I端子3 cを介して演算素子1のI O端子1 fより1のデータが供

8

給され、演算素子4のインクリメンタ50-4にはI I端子3 cを介して0のデータが供給される。又、演算素子3のI C I端子3 iを介して演算素子1のI O端子1 fより1のデータが供給される。よってインクリメンタ50-3及び50-4は、図15に示すように2ビットのデータを処理するインクリメンタとなり、端子符号にて説明すると(4 c, 3 c) + 3 iの演算、データで説明すると表1の2段目のインクリメンタの欄に示すように(0 1) + 1の演算を行う。これらのインクリメンタ50-3及び50-4から送出されるデータは後述するフルアダ52へ供給される。

【0027】演算素子2ないし4に設けられるフルアダにおいて、図16に示すように演算素子2のフルアダ55-2には、D I'端子2 c及びインバータ54-2を介して1のデータが、D I端子2 dを介して被開平数のビットデータであるA 2が、D C I端子2 aを介して1のデータがそれぞれ供給され、演算素子3及び4のフルアダ52-3及び52-4には、D I端子3 dを介して被開平数のビットデータであるA 1が供給され、上述したインクリメンタ50-3及び50-4の出力データである1及び0のデータがそれぞれインバータ51-3、51-4を介して供給され、演算素子1のD O端子1 eから送出された0のデータが端子4 dを介してそれぞれ供給される。又、各フルアダ55-2、52-3、52-4の間ではキャリデータの出入が行われる。よって、フルアダ55-2、52-3、52-4は、図17に示すように3ビットデータを処理する加算器と考えられ、さらにインバータ51-3、51-4、54-2を省くと図18に示すように3ビットデータを処理する減算器と考えることができ、フルアダ55-2、52-3、52-4は、上述の端子符号で説明すると(4 d, 3 d, 2 d) - (4 f, 3 f, 2 c)の演算、データにて説明すると表1の2段目のフルアダの欄に示すように(0 1 0) - (1 0 1)の演算を実行する。

【0028】該演算の場合、減算が行えないことより、フルアダ52-4が設けられる演算素子4のD C O端子4 bからは0のデータが送出され、この0のデータは開平数のビットデータQ 1となり、表1に示す“平方根”の欄の2段目に示すようにその値は0となる。さらに、データキャリー出力データD C Oは、出力データ選択データS I及びS I'となり、演算素子2ないし4のマルチプレクサ53、56あるいはマルチプレクサ57にそれぞれ供給される。

【0029】図19に示すように演算素子2に設けられたマルチプレクサ56-2には、フルアダ55-2の出力データであるsum(2)とD I端子2 dより被開平数のビットデータA 2とが供給され、演算素子3に設けられたマルチプレクサ53-3には、フルアダ52-3の出力データであるsum(3)とD I端子3 dより被開平数のビットデータA 1とが供給され、演算素子4に設けられたマ

9

マルチプレクサ53-4には、フルアダ52-4の出力データであるsum(4)と演算素子1のDO端子1eよりデータsum(1)とがそれぞれ供給される。

【0030】これらのマルチプレクサ56-2、53-3及び53-4のSI端子2g、3g、4gにはともに0のデータが供給される。よって、マルチプレクサ56-2、53-3及び53-4は、図20に示すように3ビットのデータを処理するマルチプレクサと考えられ、該マルチプレクサは(sum(2)ないしsum(4))のデータと、端子4d、3d、2dに供給される(sum(1)、1、0)のデータとのいずれかを出力データ選択データにより選択する。上述したように出力データ選択データは0であることより該マルチプレクサは(sum(1)、1、0)のデータを選択する。尚、演算素子4のDO端子は設けられていないので該端子に送出されるsum(1)のデータは出力されず、該マルチプレクサより送出されるデータは表1の2段目のマルチプレクサの欄に示すように1及び0のデータである。即ち、演算素子2のDO端子2eより0のデータが送出され、演算素子3のDO端子3eより1のデータが送出される。

【0031】又、演算素子2に設けられるマルチプレクサ57-2には、図21に示すように端子2hには上述した出力データ選択データである0のデータが供給されることより、表1の2段目の、マルチプレクサの欄に示すように0のデータが演算素子2のIO端子2fより送出される。

【0032】3段目には、演算素子5ないし8が配列されるが最初に演算素子6ないし8に設けられるインクリメント50の動作について説明する。図22に示すように演算素子6のインクリメント50-6にはII端子6cを介して演算素子2のIO端子2fより0のデータが供給され、演算素子7のインクリメント50-7には演算素子3のIO端子3fからII端子7cを介して0のデータが供給され、演算素子8のインクリメント50-8には演算素子4のIO端子4fからII端子8cを介して1のデータが供給される。又、演算素子6のICI端子6iを介して演算素子2のIO端子2fより0のデータが供給される。よってインクリメント50-6ないし50-8は、図23に示すように3ビットのデータを処理するインクリメントとなり、端子符号にて説明すると(8c、7c、6c)+6iの演算、データで説明すると表1の3段目のインクリメントの欄に示すように(100)+0の演算を行う。これらのインクリメント50-6ないし50-8から送出されるデータは後述するフルアダ52へ供給される。

【0033】演算素子5ないし8に設けられるフルアダにおいて、図24に示すように演算素子5のフルアダ55-5には、DI'端子5c及びインバータ54-5を介して1のデータが、DI端子5dを介して被開平数のビットデータであるA4が、DCI端子5aを介して1

10

のデータがそれぞれ供給され、演算素子6ないし8のフルアダ52-6ないし52-8には、DI端子6dを介して被開平数のビットデータであるA3が供給され、上述したインクリメント50-6ないし50-8の出力データである1、0、0のデータがそれぞれインバータ51-6ないし51-8を介して供給され、演算素子2のDO端子2eから送出された0のデータが端子7dを介してそれぞれ供給され、演算素子3のDO端子3eから送出された1のデータが端子8dを介してそれぞれ供給される。又、各フルアダ55-5、52-6ないし52-8の間ではキャリデータの出入が行われる。よって、フルアダ55-5、52-6ないし52-8は、図25に示すように4ビットのデータを処理する加算器と考えられ、さらにインバータ51-6ないし51-8、54-5を省くと図26に示すように4ビットデータを処理する減算器と考えることができ、フルアダ55-5、52-6ないし52-8は、上述の端子符号で説明すると(8d、7d、6d、5d)-(8f、7f、6f、5c)の演算、データにて説明すると表1の3段目のフルアダの欄に示すように(1010)-(1001)の演算を実行する。

【0034】該演算の場合、減算は可能であるから、フルアダ52-8が設けられる演算素子8のDCO端子8bからは1のデータが送出され、この1のデータは開平数のビットデータQ2となり、表1に示す平方根の欄の3段目に示すようにその値は1となる。さらに、データキャリ出力データDCOは、出力データ選択データSI及びSI'となり、演算素子5ないし8のマルチプレクサ53、56あるいはマルチプレクサ57にそれぞれ供給される。

【0035】図27に示すように演算素子5に設けられたマルチプレクサ56-5には、フルアダ55-5の出力データであるsum(5)とDI端子5dより被開平数のビットデータA4とが供給され、演算素子6に設けられたマルチプレクサ53-6には、フルアダ52-6の出力データであるsum(6)とDI端子6dより被開平数のビットデータA3とが供給され、演算素子7に設けられたマルチプレクサ53-7には、フルアダ52-7の出力データであるsum(7)と演算素子2のDO端子2eよりデータsum(2)とが供給され、演算素子8に設けられたマルチプレクサ53-8には、フルアダ52-8の出力データであるsum(8)と演算素子3のDO端子3eよりデータsum(3)とがそれぞれ供給される。

【0036】これらのマルチプレクサ56-5、53-6ないし53-8のSI端子5gないし8gには、出力データ選択データとしてともに1のデータが供給される。よって、マルチプレクサ56-5、53-6ないし53-8は、図28に示すように4ビットのデータを処理するマルチプレクサと考えられ、該マルチプレクサは(sum(8)ないしsum(5))のデータと、端子8d、7d、

11

6d, 5dに供給される(sum(3), sum(2), 1, 0)のデータとのいずれかを出力データ選択データにより選択する。上述したように出力データ選択データは1であることより該マルチプレクサは(sum(8), sum(7), sum(6), sum(5))のデータを選択する。尚、演算素子8のDO端子は設けられていないので該端子に送出されるsum(8)のデータは出力されず、該マルチプレクサより送出されるデータは表1の3段目のマルチプレクサの欄に示すように001のデータである。即ち、演算素子5のDO端子5eより1のデータが送出され、演算素子6のDO端子6eより0のデータが送出され、演算素子7のDO端子7eより0のデータが送出される。

【0037】又、演算素子5に設けられるマルチプレクサ57-5には、図29に示すように端子5hには上述した出力データ選択データである1のデータが供給されることより、表1の3段目の、マルチプレクサの欄に示すように1のデータが演算素子5のIO端子5fより送出される。

【0038】以下同様に8段目に配列される演算素子まで順に演算が実行される。上記の説明のように本開平器も1段目から8段目にかけて計算が順を追って行なわれるが、従来の開平器においては上述したように被開平数の各ビット毎に計算が順を追って実行され各ビットの計算実行時間は、構成ビットデータの内、1ビットの計算に最も長くを要する場合を見込み構成部分の動作を制御している関係上、例えば8ビットからなる数値の計算では1ビット毎に一律に計算時間を20ナノ秒に設定し動作制御しており上記数値の全ビットを計算するためには160(=20×8)ナノ秒必要である。一方、本実施例による開平器では、レジスタやシフタ等の動作制御を要する構成部分が含まれていないので従来例のように1ビット当たりの計算時間を設定する必要がない。したがって、8ビットのすべての計算時間について20ナノ秒を要した場合はともかく、例えば1段目が2ナノ秒、2段目が4ナノ秒、3段目が6ナノ秒、4段目が10ナノ秒、5段目が12ナノ秒、6段目が15ナノ秒、7段目が18ナノ秒、8段目が20ナノ秒にて計算が実行された場合には合計計算時間は87ナノ秒となるように、通常各ビットにおいて20ナノ秒より短い時間で計算が終了するので、本従来例の開平器は従来の開平器に比べ開平計算を格段に高速に処理することができる。又、上述した開平器には従来の開平器のようにレジスタやシフタが含まれていないのでこれらの動作を制御するための制御回路を開平器に設ける必要が無いので回路構成を簡素化することができる。又、被開平数のビット長に合わせて演算素子数を変化させれば良く任意のビット長の開平器を容易に構成することができる。

【0039】

【発明の効果】以上詳述したように本発明によれば、演算素子にはレジスタやシフタ等の動作制御を要する素子

12

を含んでいないことより、開平数のそれぞれのビットデータの演算時間について従来技術のように最も長い演算時間を有するビットデータの演算時間に他のすべてのビットデータの演算時間を一律に合わせる必要がなく、各ビットデータ毎に独自の演算時間にてすべてのビットデータの開平演算を実行することができ、従来の開平器に比べ開平演算処理時間を大幅に短縮することができる。又、演算素子にはレジスタやシフタ等の動作制御を要する素子を含んでいないので、開平器全体として回路構成が複雑化しない。

【図面の簡単な説明】

【図1】 本発明の開平器の一実施例を示すブロック図である。

【図2】 図1に示す枠Aに対応する部分拡大図である。

【図3】 図1に示す枠Iに対応する部分拡大図である。

【図4】 図1に示す枠Uに対応する部分拡大図である。

【図5】 図1に示す演算素子の一単位を示す図である。

【図6】 図5に示す演算素子の構成を示すブロック図である。

【図7】 図1に示す演算素子の一単位を示す図である。

【図8】 図7に示す演算素子の構成を示すブロック図である。

【図9】 演算素子1に設けられるフルアダを示すブロック図である。

【図10】 図9に示すフルアダの動作を説明するためのフルアダのブロック図である。

【図11】 演算素子1に設けられるマルチプレクサを示すブロック図である。

【図12】 図11に示すマルチプレクサの動作を説明するためのマルチプレクサのブロック図である。

【図13】 演算素子1に設けられる他のマルチプレクサを示すブロック図である。

【図14】 演算素子3及び4に設けられるインクリメンタの構成を示すブロック図である。

【図15】 図14に示すインクリメンタの動作を説明するためのインクリメンタのブロック図である。

【図16】 演算素子2ないし4に設けられるフルアダの構成を示すブロック図である。

【図17】 図16に示すフルアダの動作を説明するためのフルアダのブロック図である。

【図18】 図16に示すフルアダの動作を説明するためのフルアダのブロック図である。

【図19】 演算素子2ないし4に設けられるマルチプレクサの構成を示すブロック図である。

【図20】 図19に示すマルチプレクサの動作を説明

13

するためのマルチプレクサのブロック図である。

【図21】 演算素子2に設けられる他のマルチプレクサの構成を示すブロック図である。

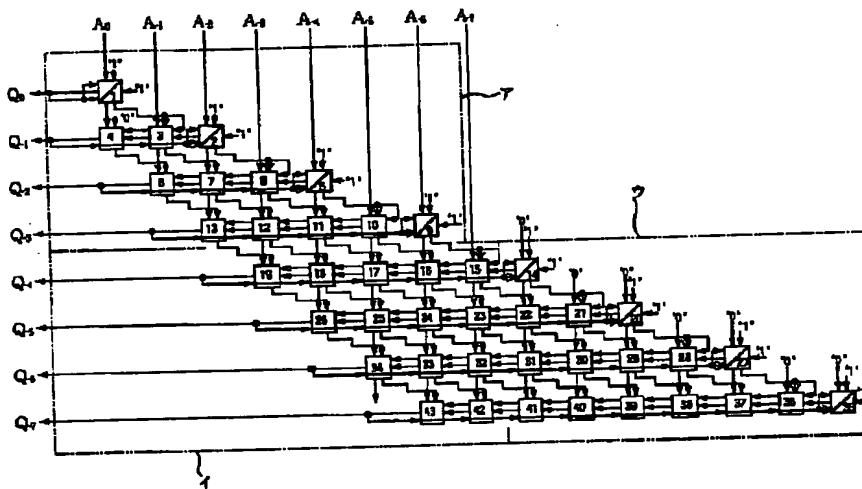
【図22】 演算素子6ないし8に設けられるインクリメンタの構成を示すブロック図である。

【図23】 図22に示すインクリメンタの動作を説明するためのインクリメンタのブロック図である。

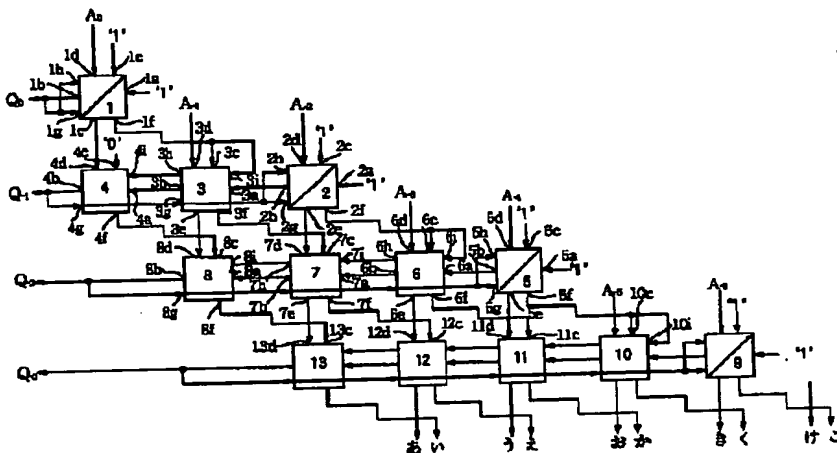
【図24】 演算素子5ないし8に設けられるフルアダの構成を示すブロック図である。

【図25】 図24に示すフルアダの動作を説明するためのフルアダのブロック図である。

【図1】



【図2】



14

【図26】 図24に示すフルアダの動作を説明するためのフルアダのブロック図である。

【図27】 演算素子5ないし8に設けられるマルチプレクサの構成を示すブロック図である。

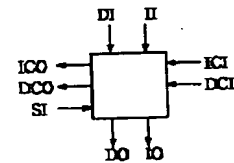
【図28】 図27に示すマルチプレクサの動作を説明するためのマルチプレクサのブロック図である。

【図29】 演算素子5に設けられる他のマルチプレクサの構成を示すブロック図である。

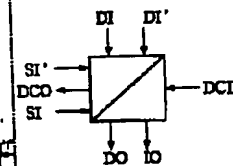
【符号の説明】

10 1ないし43…演算素子。

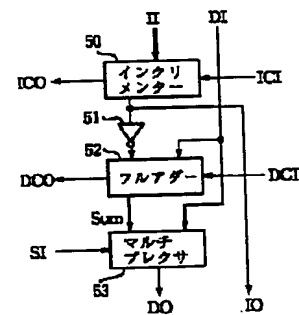
【図5】



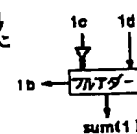
【図7】



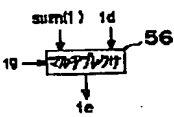
【図6】



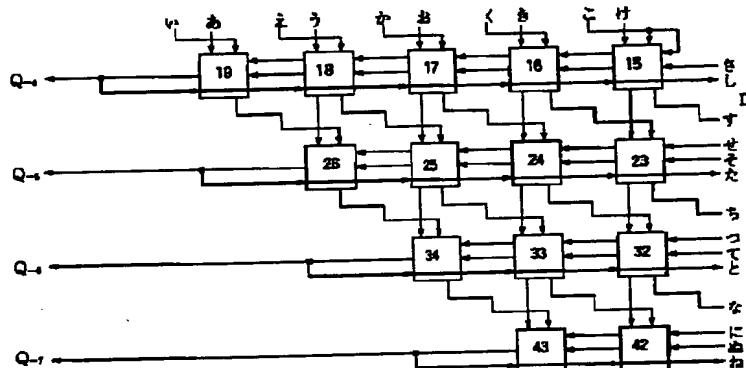
【図9】



【図11】

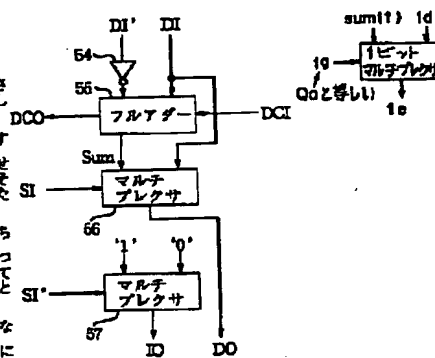


【図3】



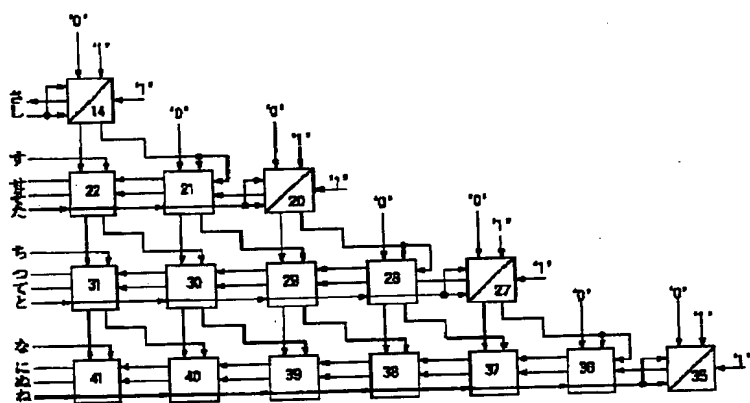
【図8】

【図12】



【図10】

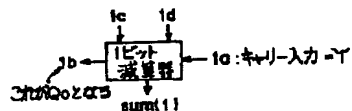
【図4】



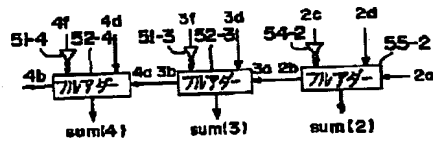
【図13】

【図14】

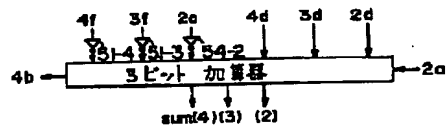
【図15】



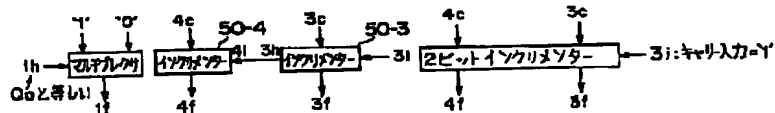
【図16】



【図17】

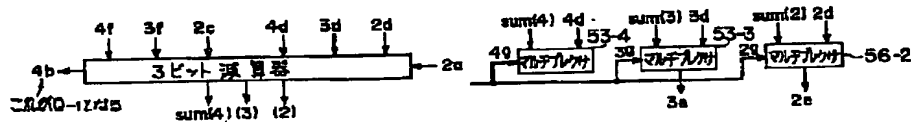


【図21】



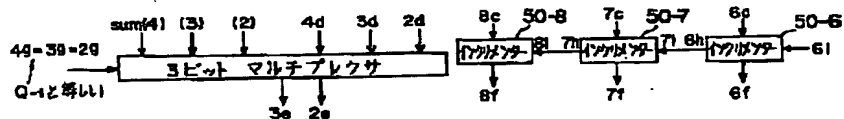
【図18】

【図19】

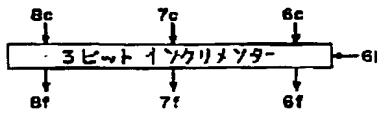


【図20】

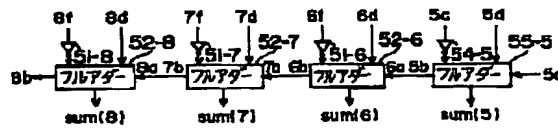
【図22】



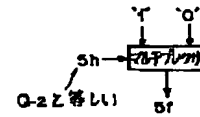
【図23】



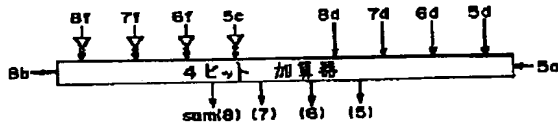
【図24】



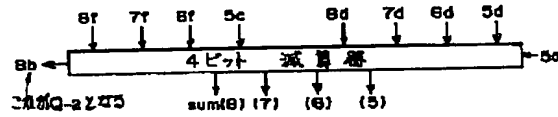
【図29】



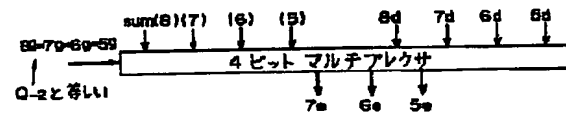
【図25】



【図26】



【図28】



【図27】

